



# Review A for digital system subgroup

2010/11/8(Mon)

Digital system subgroup

Osamu Miyakawa, ICRR



## レビューの流れ

---

1. LCGTでのデジタルシステムの位置づけ
  - LCGTの要求
  - アナログ制御との比較
2. システムの仕様
3. 開発状況と見込み
  - CLIOでの結果
4. 要素技術への組み込み



# LCGTでの デジタルシステムの 位置づけ



## LCGT実現のために

---

- Requirement
  - 干渉計制御
    - 要素技術開発
  - Noise Performance
  - Operation
    - Commissioning
    - 観測
  - 多数の信号

これらを扱うためのプラットフォームが必要



## Analog or digital?

日本の干渉計はTAMA-CLIOとアナログ制御をメインにやってきた  
なぜ、デジタル制御に変える必要があるのか？

- Analog
  - MHz帯域の速いスピード
  - 低ノイズ、ただし外的環境に対し不安定
  - 複雑な制御が苦手
- Digital
  - 複雑なシステムを見通しよく操作する
  - ADC/DACでは雑音が大きいが、whitening/dewhiteningで回避可能
  - 計算機内のノイズは基本的に考えなくていい
  - 遅い、しかしながら振り子での制御には十分
- デジタルシステムはノイズハンティングの時間を短縮し、安定な観測体制を提供する
- 世界の流れに対応できるようなシステムを組み上げたい



## How to develop?

- デジタルシステムをどのように開発するか
  - 自前で開発
  - 企業に頼んで開発してもらう
  - 既にあるものを使う
- 前者2つの方法はLCGTの要求を満たすのはマンパワー的にも、予算的にも大変
  - 例:TAMAでのデジタル制御開発
- 2005年ころから、aLIGO用デジタルシステムが実用化され始めた
  - 当時実績を出していたiLIGO用デジタルシステムとコンパチ
  - コンパクトなシステムで、持ち出してからCLIO等のプロトタイプでもテスト可能
- 2008年、LCGTの既定路線として、aLIGO用に開発されているデジタルシステムをLCGTに組み込むことを決定
  - 開発のための労力の軽減
  - 共通ソフトの使用



## このような選択をしたことのメリットとデメリット

---

### メリット

- システムの開発の手間が大幅に減る
- 実績のある物が見える
- プラットフォームの共通化
- 安価

### デメリット

- 開発がLIGOの開発部隊に依存してしまう
- LIGO自身が方向転換した場合どうなるか
- サポート体制

メリットの方がはるかに大きいと判断



## Schedule

---

### Before LCGT funded

1. Development of **prototype system** at/using CLIO

### After LCGT funded

2. **Delivering** digital systems to subgroups
3. **Test bench** of digital system for **control and real time/offline data analysis** using CLIO
4. Development of **full digital system** for initial LCGT
5. **Extension** of the digital system for basement LCGT





## Schedule

---

22年度3600万円(1500万円分は23年度に繰り越し)

– 5台分(1台500万円計算)

23年度0円(22年度分から1500万円)

– 繰り越しで主に回路作成

– 実際の配布は23年度以降と考えている

24年度2億3000万円

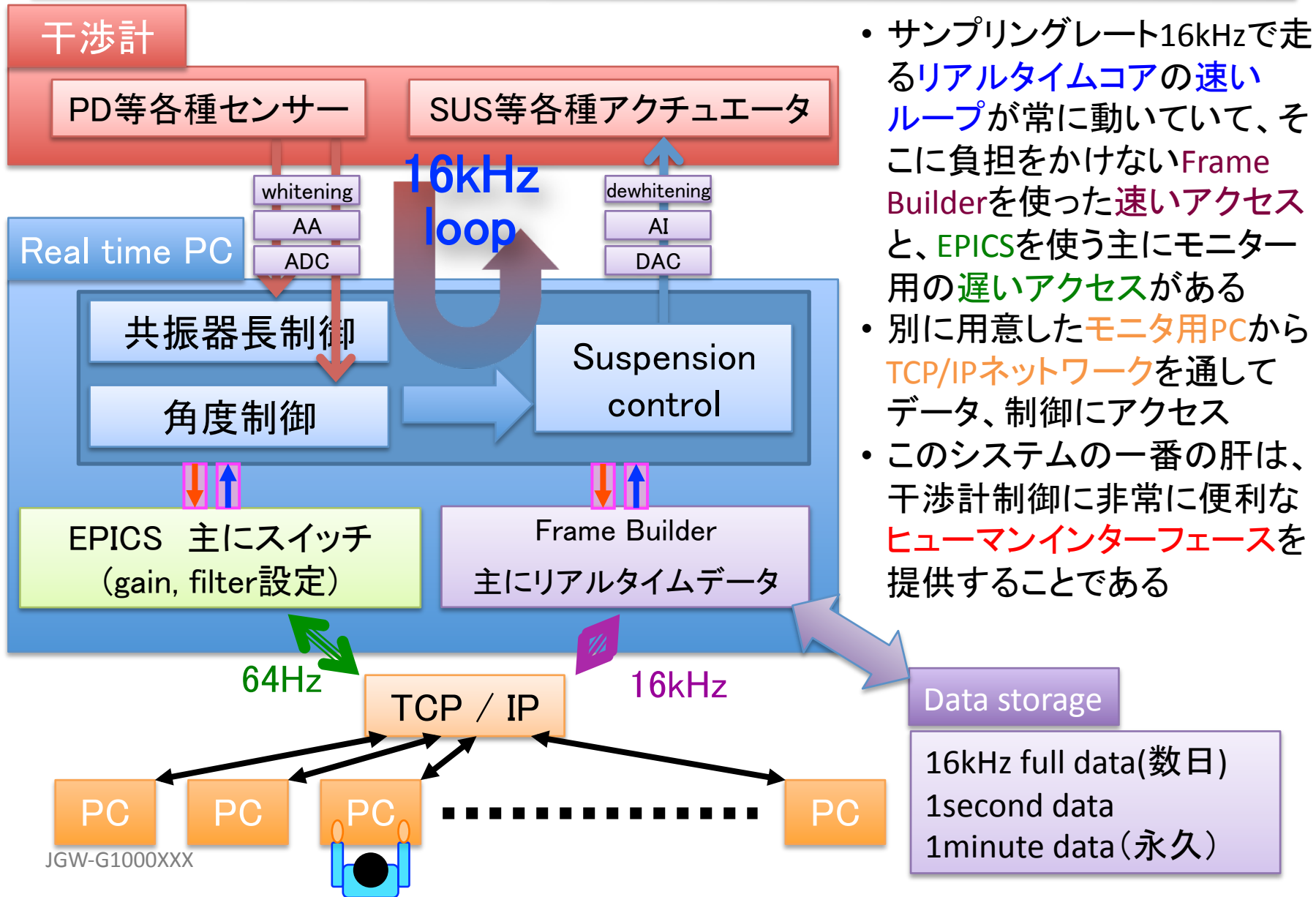
– LCGTでの整備



# システムの仕様



# CLIOデジタルシステムの概念図



- サンプルレート16kHzで走るリアルタイムコアの速いループが常に動いていて、そこに負担をかけないFrame Builderを使った速いアクセスと、EPICSを使う主にモニター用の遅いアクセスがある
- 別に用意したモニタ用PCからTCP/IPネットワークを通してデータ、制御にアクセス
- このシステムの一番の肝は、干渉計制御に非常に便利なヒューマンインターフェースを提供することである



# Functions of digital system (from ICD)

## 1. Task area

No.	Function	Description, equipments
1	Digital control system	Main system. PC, ADC/DAC, AA/AI filter, whitening/dewhitening filter, real time OS, control software, monitor software, data storage.
2	Detector tuning system	Adjusts interferometer parameters. Tuning software.
3	Detector diagnosis system	Interferometer self diagnosis. Diagnosis software.
4	Long term monitor	Monitor software, data storage
5	Auto lock / auto alignment sequencer	Real time lock code (fast), auto lock and alignment scripts (slow).
6	Detector operation system for GW observation	Operators, operation scheduling, auto lock scripts.
7	GW search data calibration	Real time calibration shown in the control room. Projectors, calibration signals, real time calibration software
8	Real time data analysis	Real time data analysis shown in the control room. Projectors, real time data analysis software



# 要求値

Item	Requirements	Comment
Sampling rate	>16kHz	
Dynamic range of input	>+/-15V	Half on differential input
Dynamic range of output	>+/-10V	Half on differential output
ADC noise	<3uV/rHz	Can be reduced by whitening filter
DAC noise	<3uV/rHz	Can be reduced by dewatering filter
time delay	<100usec	To realize >200Hz UGF
Input channel numbers	>2048ch	(16kHz:>128ch, 2kHz:>512ch, 64Hz>1024ch)
Output channel numbers	>512ch	for mirrors, seismic attenuators, PZTs
Stored channel	16kHz:>64ch, 2kHz:>512ch, 64Hz:>1024ch, 16Hz:>10000ch	~300TB/year



## 保存データ

	Number of stored channels	Data acquisition, Data analysis, IFO control	16kHz:64ch, 2kHz:512ch, 64Hz:1024ch 16Hz:16384 epics channels (see channel list)
*	Data bit resolution at ADC/DAC	Data acquisition	16bit = 65536
*	Data bit resolution in PC	Data acquisition	32bit = 4 Byte integer
	Data transfer rate	Data acquisition	4MB/sec for 16kHz, 4MB/sec for 2kHz, 128kB/sec for 64Hz, 1MB/sec for 16Hz, Total ~10MB/sec ~30GB/hour ~1TB/day ~300TB/year

具体的なチャンネル名は資料参照



## 設備

### Mounted in 19inch rack

- Front room(5): length(1), WFS(2), auxiliary(2)
- Laser room(1): Laser
- Center room(2): Input optics, OMC
- ITMX(1), ITMY(1)
- ETMX(1), ETMY(1)

### Network

Fiber cable: 2 for GPS, 4 for Reflective memory  
3km, ~100m in vertex  
TCP/IP:10Gbps, wireless

Data storage for iLCGT: 500TB, paid by digital system

Data storage for bLCGT: 3PB, not funded



# デジタル関連する技術

---

レーザー: レーザー各種モニター、レーザー温度コントロール

入射光学系: サーボスイッチ、MC制御、周波数安定化キャビティの温度コントロール

真空: 真空度等の各種モニター、スイッチ

防振: ローカルコントロール、グローバルコントロール

冷却系: 温度計モニタ、冷凍機のスイッチ

干渉計: CLIOでの開発、WFS、DC readout

Facility, circuit: ケーブル、電源、端子、PD, QPD, I&Q demodulator

Base line: 各種環境モニタ

Data解析: キャリブレーション、オンライン解析、オフライン解析





# 開発状況と見込み (CLIOでの結果)



# 開発状況のまとめ

- CLIO用デジタルシステムのLIGOとの共同開発の準備
  - Requirements
  - MOU
- Real time systemの開発
  - 計算機のセットアップ
  - ADC/DAC/Binary output等の入出力カードの準備
  - 制御対象にあわせたReal time codeを書く(Matlab上)
  - MEDMによるGUIでのヒューマンインターフェースの準備
- AA/AI/Whitening/Dewhitening回路の初期開発、テスト、デバッグ、量産体制
- Lock acquisition
  - 光路長制御のMass lockのループを完全にDigital制御で置き換え完了  
信号→whitening→AA→ADC→Real time PC→DAC→AI→Dewhitening→Actuator
  - 線形化、入射パワーによる規格化などのAdvanced lock
  - MCロックアクイジションのスク립ト化
  - 一本目の腕まで含めた、フルオートロックシステム
- Calibration、常時感度モニタ
- Whitening/DewhiteningによるADC/DACノイズの低減
- CLIOレベルの感度で実用的に稼働可能かどうかのチェック
- アライメント
  - Pico motor driverの開発
  - QPDオートセンタリングシステム
  - 初期フルアライメントシステム(腕を含む)
- 温度、湿度、ダスト、音、地面振動などのSlow信号モニター(年単位のデータ蓄積)
- オートNoise Budge
- その他R&Dへの応用 → LSPIの制御にも使用

第0 phase  
準備

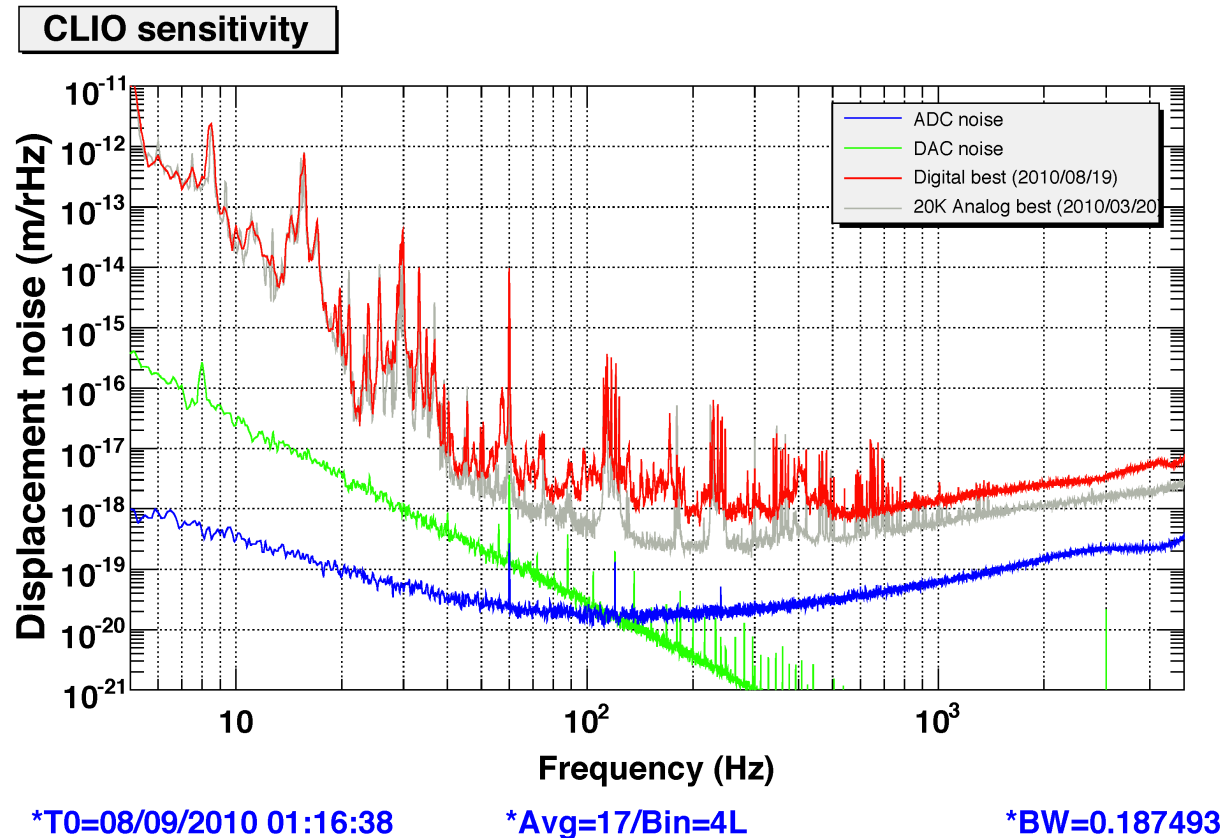
第1 phase  
ロック

第2 phase  
ノイズ

第3 phase  
拡張



# CLIO sensitivity using Digital control



ノイズに関する最低限のパフォーマンスは確かめられた



## LCGTのために必要なこと

- 複数台での拡張ボックスのテスト (CLIO手持のものでもテスト可能)
- 複数台でのPCでのテスト
- タイミングシステム
  - Columbia大の協力で、aLIGO用のものを今年度手配できる予定
- 解析ソフト (主にリアルタイム)
- 観測試験
- **3km先に飛ばす技術の開発**
  - Reflective memory
- どこまでのチャンネル数に対応するか (2048ch程度を想定)
  - 遅いEPICSチャンネルのデータ取得の開発 (ADCの選定)
- 大規模データストレージシステム (3Peta Byte/10Year)
- RSEに対応できるか



## リスク要因

- 新OS Gentooへの変更(現CLIOのはWind river RT)等、システムの大きな変更
  - かなりの互換性は保たれる
- Reflective memoryでの3km接続
  - Wind river RTではうまく接続されていた(CLIOバージョンではサポートされているが、これ以降はサポートされない)
  - 新OS Gentooではこれから数ヶ月くらいのスパンでサポートされる見通し
- 複数台の拡張ボックスの使用
  - CLIOですでに手持の機器でテスト予定
- 複数台の計算機の使用
  - Reflective memoryを早急に購入しテストする予定
- ADC/DACのカード枚数の制限
  - 1計算機あたりトータル14枚らしい
  - LCGTで必要なリアルタイムのチャンネルは2000程度なので、カードの枚数としては最大100枚程度となる。LCGTでは計12台の計算機が入る予定なので、この制限にはかからない。



# 要素技術への組み込み



## 要素技術への組み込み

デジタルグループで要素技術開発に対応できる  
シンプルなシステムを開発し、配布する

- デジタルシステムを組み込んだ状態で要素技術を設計、開発することが必要
- ハードの開発とともに、ソフトの蓄積が重要
- デジタルシステムに慣れてもらう
- 開発した物がLCGTにほぼそのまま組み込むことができる
- LCGTへの要素技術の導入をスムーズにするためである。



## 提供範囲

---

### デジタルグループからの提供範囲

- リアルタイム用計算機、及び信号入出力ハード一式
- 信号フィルタリング用アナログ回路一式
- リアルタイム制御に必要な基本ソフト(データモニタ、スイッチング等のソフトも含む)
- Client用計算機一式

これらを5セット程度製作し、ラックに入れた状態で配布する予定

### 各サブグループで用意してもらうもの

- **各実験装置とシステムを接続するドライバー**
- オシロスコープ等の測定器や、各グループで個別に必要な実験装置や回路





## 配布予定の要素技術開発用digital systems

- PC: SUPERMICRO社製 1DIN server, 2x4core 1台
  - CentOS + Real Time Linux (OSがGentooに変更になる可能性有り)
- PCIe Expansion chassis: One Stop System社製、OSS-PCIe-4U-EXP-2001-700 1台
- Analog Digital Converter (ADC): General Standards社製、16bit 64ch(32ch for diff.)、PMC66-16AI64SSA-64-50MHz-MEM 1 or 2枚
- Digital Analog Converter (DAC): General Standards社製、16bit 32ch(16ch for diff.)、PMC66-16AO16-16-F0-DF-MEM 1 or 2枚
- Binary Output (BO): CONTEC社製、32ch、DO-32L-PE 1 or 2枚
- Timing system(Columbia大学を通して手配済み) 1台
- 付随するアナログ回路:
  - Interface box for ADC/DAC/BO 必要なチャンネル数
  - Anti Aliasing/Imaging filters 必要なチャンネル数
  - Whitening/dewhitening filter + Variable gain amplifier 必要なチャンネル数
- 今年度予算で5台程度を配布予定、それ以上必要な場合は再来年度予算  
予算: 22年度:3600万円、23年度:0円、24年度2億3000万円

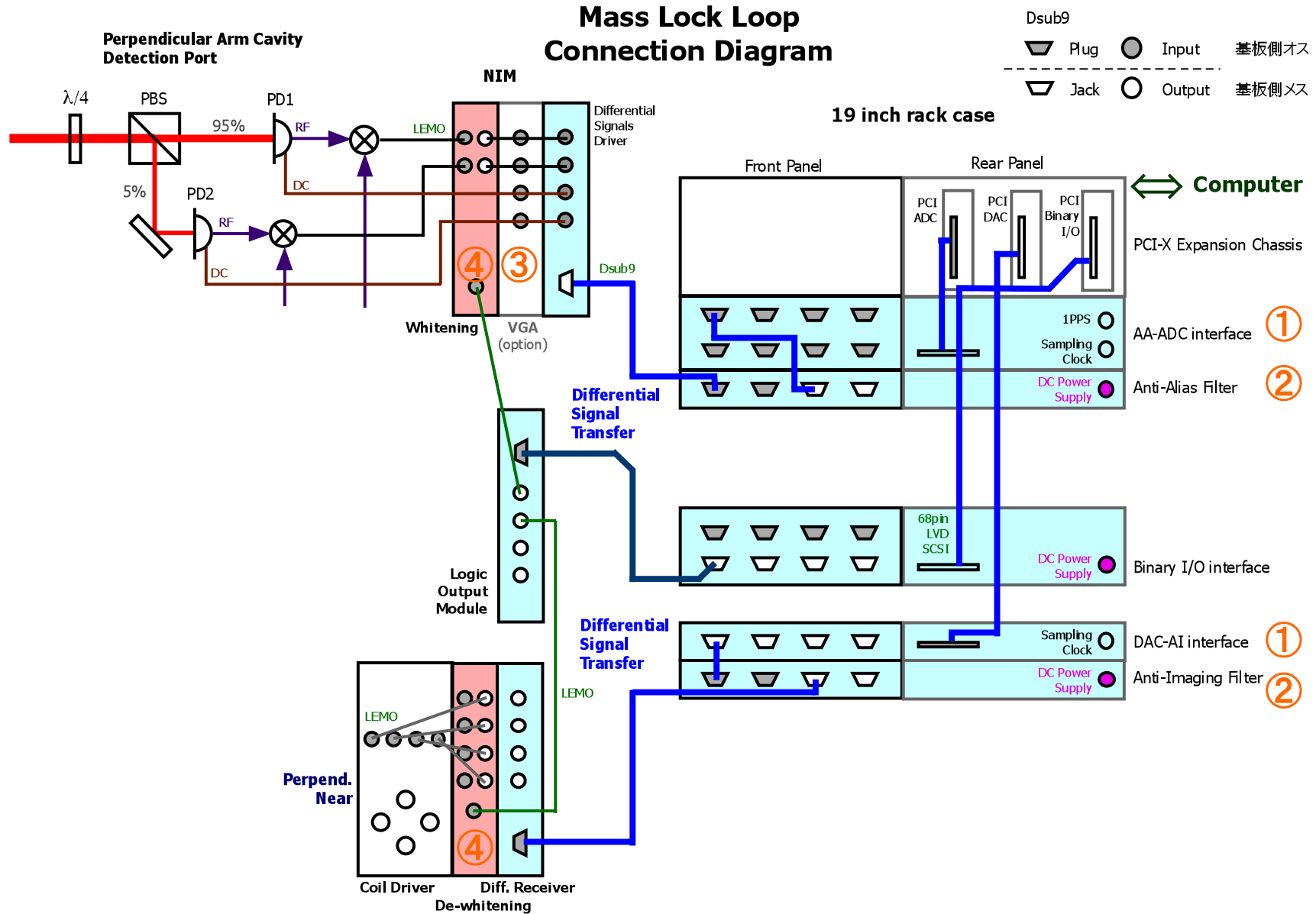


# 配布予定システムの仕様

	Item	Requirements
*	Sampling rate	16384Hz(sampled at 65536Hz and decimated to 16384Hz) option: up to 65536Hz for limited number of channels
	Number of channels	32ch / 1 ADC card 16ch / 1 DAC card 32ch / 1 BO card
	Maximum card number	Total number of ADC, DAC, BO = 14
*	ADC bit resolution	16bit = 65536
*	ADC dynamic range	Full differential +/-10V = effective range +/-20V
*	DAC dynamic range	Full differential +/-5V = effective range +/-10V
*	Through delay	80usec
*	ADC noise level	2uV/rHz
*	DAC noise level	1.5uV/rHz
*	AA filter noise level	0.1u V/rHz
*	AI filter noise level	0.1u V/rHz
*	Whitening filter noise level	1n V/rHz
*	Dewhitening filter noise level	1n V/rHz
	Connector shape	D-SUB9 @ ADC in, DAC out, BO, AA in, AI out



# 配線の例(CLIOの場合)





# Interface

AA/AIの先につながれるもの

①Whitening(dewhitening) filter

- ターゲットに依存する
- 典型的には10Hz程度から100Hz程度のzero/pole(pole/zero)
- Whiteningとdewhitningの形は独立に取れる

②VGA (variable gain amplifier)

- Universalな物をデジタルグループで作成予定
- これらは各グループが作るドライバ③に組み込み可能、その際はこちらから回路図を提供する
- コネクタは基本的にD-sub 9pin コネクタで、そのうちの8本を差動で使うため、4信号/1コネクタとなる
- ケーブルは要検討(ツイストがいいという話がある)

③デジタルシステムと、制御、モニタ対象等をつなぐドライバは、各サブグループ(もしくは回路グループ)に製作してもらう



# 回路製作

回路製作をアナログ、デジタル全体でどのようにすすめるかを考える必要がある

## 手順案

1. 回路は各サブグループでデザインする
  2. 必要な回路を回路グループに依頼する
  3. 1+2
- デジタルの回路は基本的に同じ物がたくさんある
  - 例えば、周波数安定化サーボ等の一品物とは手順が違うだろう

## いずれにせよ

電源、コネクタ類、箱、ケーブル

などは全体で共通のコンポーネントを使った方がいい

業者に頼む場合も、デジタル、アナログで共通の業者を選びたい

回路の全体会議を呼びかけたい



## アンケート

---

デジタルシステム導入を見越した  
要素技術の設計、開発が必要

そのための第一歩

ご協力お願いします。